

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-162022

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

H01L 31/10

(21)Application number : 05-304351

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 03.12.1993

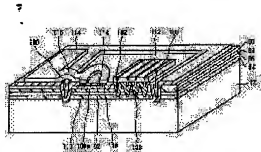
(72)Inventor : FURUKAWA RYOZO
USHIKUBO TAKASHI

(54) SEMICONDUCTOR PHOTODETECTOR, MANUFACTURE THEREOF AND PROCESSING OF SEMICONDUCTOR

(57)Abstract:

PURPOSE: To reduce the capacity of an element and to contrive to improve the frequency characteristics having a small series resistance of the element by providing a region encircled with an element-isolating groove and separated from a diffused region with an electrode-forming groove of a depth to reach a buffer layer and a second main electrode which makes an ohmic contact with the buffer layer in the electrode-forming groove.

CONSTITUTION: A first high-doped InP buffer layer 84 of an N-type impurity concentration of 1×10^{18} pieces/cm², a second N-type InP buffer layer 86, an N-InGaAs optical absorption layer 88 and an N-InP window layer 90 are laminated in order on a semiinsulative InP substrate 82. The layer 90 is provided with a diffused region 92 of a P-type impurity such as zinc. The region 92 is provided with an element-isolating loop-shaped groove 100, encircling a P⁺ diffused region 92, in a prescribed part. Moreover, a region encircled with the groove 100 and separated from the P⁺ region 92 is provided with an electrode-forming groove 102 of a depth to reach the layer 84, so that N side electrode 108 comes into contact with the layer 84.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-162022

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl.⁶

H 0 1 L 31/10

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 31/10

A

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平5-304351

(22) 出願日 平成5年(1993)12月3日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 古川 暉三

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 牛程 孝

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

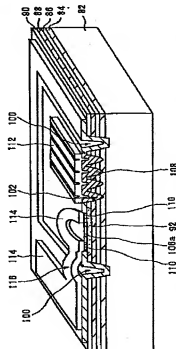
(74) 代理人 弁理士 大垣 孝

(54) 【発明の名称】 半導体受光素子、その製造方法および半導体の加工方法

(57) 【要約】

【目的】 素子容量が小さく、かつシリーズ抵抗の小さい周波数特性の優れた半導体受光素子を提供すること。

【構成】 半絶縁性 InP 基板上 82 に、n 型の不純物濃度が 1×10^{18} 個/cm² の高濃度の InP の第 1 バッファ層 84、第 2 バッファ層 86、光吸収層 88、ウインド層 90 を順次に積層し、ウインド層 90 には p⁺ 拡散領域 92 が設けてある。また、p⁺ 拡散領域 92 を取り囲むように閉ループ状の素子分離溝 100 が設けてあり、この溝は半絶縁性 InP 基板 82 に達している。そして、素子分離溝 100 に囲まれた領域であって、p⁺ 拡散領域 92 と離れた領域に、第 1 バッファ層 84 に達する深さの電極形成用溝 102 を具え、この溝 102 で n 側電極 108 が第 1 バッファ層 84 とオーミック接触する。



82: 基板
84: 第1バッファ層
86: 第2バッファ層
88: 光吸収層
90: ウインド層
92: p⁺拡散領域
100: 素子分離溝
102: 電極形成用溝
108: n側電極
110: 第1バッファ層 84 への深さ
112: 第2バッファ層 86 への深さ
114: 光吸収層 88 への深さ
116: ウインド層 90 への深さ
118: p⁺拡散領域 92 への深さ
120: 素子分離溝 100 への深さ

第 1 実施例

FP04-0446
21.6.16
ALLOWED

【特許請求の範囲】

【請求項1】 半絶縁性基板上に、第1導電型の不純物濃度が 5×10^{17} 個/ cm^2 よりも高濃度のパッファ層、光吸収層、および、第2導電型の不純物の拡散領域を設けたウインドウ層を順次に積層した積層体を見え、前記拡散領域の所定部分上に、第1主電極を見え、前記拡散領域を取り囲み、前記下地に達する深さの素子分離用溝を見えた半導体受光素子において、前記素子分離用溝に囲まれた領域であって、前記拡散領域と離隔した領域に、前記パッファ層に達する深さの電極形成用溝を見え、前記電極用溝で前記パッファ層とオーミック接触する第2主電極を見えてなることを特徴とする半導体受光素子。

【請求項2】 半絶縁性基板上に、第1導電型の不純物濃度が 5×10^{17} 個/ cm^2 よりも高濃度のパッファ層、光吸収層、ウインドウ層を順次に積層し、該ウインドウ層に第2導電型の不純物の拡散領域を設けた積層体を形成する工程と、該拡散領域を形成した前記ウインドウ層上に、エッチングマスクとして、前記拡散領域を取り囲む素子分離用溝を形成するための素子分離用開口部を見え、かつ、前記素子分離用開口部に囲まれた領域であって前記拡散領域と離隔した領域に、電極形成用の溝を形成するための開口部であって、前記素子分離用開口部よりも開口部の幅が狭い電極用開口部を見えたエッチングマスクを形成する工程と、前記積層体に対して、前記エッチングマスクを介して1回のエッチングを行って、前記半絶縁性基板上に達する前記素子分離用溝と、前記パッファ層に達する前記電極形成用の溝とを同時に形成する工程と、前記エッチングを行った後に、前記エッチングマスクを除去する工程と、前記素子分離用溝および前記電極形成用溝を形成したウインドウ層上に、絶縁膜を形成する工程と、前記絶縁膜に対してエッチングを行って、前記拡散層上の領域少なくとも一部分の前記絶縁膜部分と、前記電極用の溝を含む領域の絶縁膜部分とを除去した後、前記拡散層とオーミック接触する第1主電極と、前記電極用溝で前記パッファ層とオーミック接触する第2主電極とをそれぞれ個別に形成する工程とを含むことを特徴とする半導体受光素子の形成方法。

【請求項3】 半導体の下地に、第1の深さの第1穴部と、第1の深さよりも浅い第2の深さの第2穴部とを形成するに当たり、半導体の下地、前記第1穴部形成予定領域上に、第1開口部を形成し、前記第2穴部形成予定領域上に、前記第1開口部の大きさよりも小さな第2開口部を有するエッチングマスクを形成する工程と、

前記半導体の下地に対して、前記エッチングマスクを介して1回のエッチングを行って、第1穴部と該第1穴部よりも浅い第2穴部とを同時に形成する工程とを含むことを特徴とする半導体の加工方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体の加工技術、特に、半導体受光素子の製造方法に関する。

【0002】

【従来の技術】 従来のpn接合ダイオードにおける光起電力効果を利用した半導体受光素子として、例えばメサ型フォトダイオードが知られている。このフォトダイオードでは、受光部の周囲に基板表面を露出させて受光部をメサ状とすることにより、素子容量の低減を図り、応答時間の短縮を図っている。

【0003】 ところで、メサ型フォトダイオードでは、メサ状の受光部とその周囲の基板表面とに大きな段差ができる。この段差にかけて配線電極を形成することは容易ではない。その上、メサ部の肩部から基板表面までの間では、配線電極の段切れが生じ易い。

【0004】 そこで、この出願に係る発明者は、特願平4-85783号において、素子容量を増やすことなく、配線電極の段切れが生じにくい構造を持つ半導体受光素子を提案している。以下、図面を参照して、この半導体受光素子の一例について、第1従来例として簡単に説明する。図5は、従来の半導体受光素子の説明に供する断面斜視図である。

【0005】 第1従来例の半導体受光素子は（以下、素子とも称する）半絶縁性InPの基板10上に、 n^+ -InPの第1パッファ層12、 n -InPの第2パッファ層14、 n^- -InGaAsの光吸収層16、一部にp型拡散領域18を有する n^- -InPのウインド層20が順次に形成されている。

【0006】 このp型拡散領域18の所定部分上にp側電極22が設けられており、また、ウインド層のp型拡散領域18から離れた所定領域上には、絶縁膜24を介してp側配線電極26が設けられている。また、ウインド層20上の一部分には、n側電極32が設けてあり、このn側電極32の上にはn側配線電極34が設けてある。また、p型拡散領域18上の絶縁膜24部分は受光部の反射防止膜36を兼ねている。

【0007】 そして、素子分離用溝28がこのウインド層20の表面からInP基板10に達する深さで、平面パターンで閉ループ状になるように形成されている。p側配線電極26は、空間配線30となつてp側電極22と接続されている。この素子分離用溝28によって、閉ループの内側部分と外側部分とは電気的に分離されている。その結果、p側配線電極18の下に生じる容量を減じることができる。

【0008】

【発明が解決しようとする課題】しかしながら、上述した従来例の半導体受光素子においては、 n 側電極をウィンド層上に形成しているため、 n 側電極のコンタクト抵抗が大きくなってしまふ。一方、メサ型の半導体受光素子場合には、メサ部の周囲に露出させたバッファ層上に n 側電極を形成することができた。従って、上述した従来例の半導体素子の構造では、素子のシリーズ抵抗が大きくなるために、素子の周波数特性が劣化するという問題点があった。

【0009】従って、この発明の第1の目的は、素子容量が小さく、かつシリーズ抵抗の小さい周波数特性の優れた半導体受光素子を提供することにある。

【0010】このため、この出願に係る第1の発明では、コンタクト抵抗を小さくするために、基板上のバッファ層に溝の先端が達するように電極形成用溝を形成する。その結果、互いに深さの異なる素子分離用溝と電極形成用溝とを形成するため、半導体受光素子の製造工程が煩雑になるという問題があった。

【0011】従って、この発明の第2の目的は、素子分離用溝を電極形成用溝として1回のエッチング工程で形成することができる、半導体受光素子の製造方法を提供することにある。

【0012】また、この発明の第3の目的は、互いに異なる深さの穴部を1回のエッチング工程で形成することができる、半導体の加工方法を提供することにある。

【0013】

【課題を解決するための手段】この発明の第1の目的の達成を図るため、第1の発明の半導体受光素子によれば、半絶縁性基板上に、第1導電型の不純物濃度が 5×10^{17} 個/cm²よりも高濃度のバッファ層、光吸収層、および、第2導電型の不純物の拡散領域を設けたウィンドウ層を順次に積層した積層体を見え、拡散領域の所定部分上に、第1主電極を見え、拡散領域を取り囲み、下地に達する深さの素子分離用溝を見えた半導体受光素子において、素子分離用溝に囲まれた領域であって、拡散領域と離隔した領域に、バッファ層に達する深さの電極形成用溝を見え、電極用溝でバッファ層とオーミック接触する第2主電極を見えたることを特徴とする。

【0014】また、この発明の第2の目的の達成を図るため、第2の発明の半導体受光素子の形成方法によれば、半絶縁性基板上に、第1導電型の不純物濃度が 5×10^{17} 個/cm²よりも高濃度のバッファ層、光吸収層、ウィンド層を順次に積層し、該ウィンド層に第2導電型の不純物の拡散領域を設けた積層体を形成する工程と、該拡散領域を形成したウィンド層上に、エッチングマスクとして、拡散領域を取り囲む素子分離用溝を形成するための素子分離用開口部を見え、かつ、素子分離用開口部に囲まれた領域であって拡散領域と離隔した領域に、電極形成用溝を形成するための開口部であって、

素子分離用開口部よりも開口部の幅が狭い電極用開口部を見えたエッチングマスクを形成する工程と、積層体に対して、エッチングマスクを介して1回のエッチングを行って、半絶縁性基板上に達する素子分離用溝と、バッファ層に達する電極形成用溝の溝を同時に形成する工程と、エッチングを行った後に、エッチングマスクを除去する工程と、素子分離用溝および電極形成用溝を形成したウィンド層上に、絶縁膜を形成する工程と、絶縁膜に対してエッチングを行って、拡散層上の領域少なくとも一部分の絶縁膜部分と、電極用の溝を含む領域の絶縁膜部分とを除去した後、拡散層とオーミック接触する第1主電極と、電極用溝でバッファ層とオーミック接触する第2主電極とをそれぞれ個別に形成する工程とを含むことを特徴とする。

【0015】また、この発明の第3の目的の達成を図るため、第3の発明の半導体の加工方法によれば、半導体の下地に、第1の深さの第1穴部と、第1の深さよりも浅い第2の深さの第2穴部とを形成するにあたり、半導体の下地の、第1穴部形成予定領域上に、第1開口部を形成し、第2穴部形成予定領域上に、第1開口部の大きさよりも小さな第2開口部を有するエッチングマスクを形成する工程と、半導体の下地に対して、エッチングマスクを介して1回のエッチングを行って、第1穴部と該第1穴部よりも浅い第2穴部とを同時に形成する工程とを含むことを特徴とする。

【0016】

【作用】第1の発明の半導体受光素子の構造によれば、素子分離用溝の他に電極形成用溝を形成する。素子分離用の溝は、素子の基板上に達する必要があるのに対して、電極形成用溝は、基板上のバッファ層にその先端が達している必要がある。これは、電極形成用溝とバッファ層との接触面積を広くしてコンタクト抵抗を小さくするためである。その結果、素子容量が小さく、かつシリーズ抵抗の小さい周波数特性の優れた半導体受光素子を得ることができる。

【0017】ところで、第1の発明では、素子分離用溝と電極形成用溝とは互いにその深さが異なることになる。そこで、第2の発明の半導体受光素子の製造方法によれば、電極形成用溝を形成するための開口部の幅を、素子分離用溝を形成するための開口部よりも狭くすることにより、1回のエッチングで、素子分離用溝と、素子分離用溝よりも深さの浅い電極形成用溝を同時に形成する。

【0018】また、第3発明の半導体の加工方法によれば、エッチングマスクの開口部の大きさによってエッチング速度が変化することを利用して、異なる深さの穴部を1回のエッチング工程で同時に形成することができる。

【0019】

【実施例】以下、図面を参照して、この発明の半導体の

加工方法および半導体受光素子の製造方法の一例について説明する。尚、各図は、この発明が理解できる程度に各構成成分の大きさ、形状および配置関係を概略的に示してあるにすぎない。従って、この発明は、この図示例に限定されるものでないことは明らかである。

【0020】第1実施例

第1実施例では、この発明の半導体受光素子の構造の一例について説明する。図1は、第1実施例の半導体受光素子の説明に供する断面斜視図である。

【0021】この実施例では、半導体性InP基板上82に、n型の不純物濃度が 1×10^{18} 個/cm²の高濃度のInP（以下、 n^+ -InP）の第1バッファ層84、 n -InPの第2バッファ層86、 n^+ -InGaAsの光吸収層88、 n^+ -InPのウインド層90を順次に積層されている。そして、ウインド層90には亜鉛（Zn）またはカドミウム（Cd）といったp型の不純物の拡散領域（ p^+ 拡散領域）92が設けられている。以下、半導体性InP基板82、第1および第2バッファ層84および86、光吸収層88および p^+ 拡散領域92を設けたウインド層90を合わせて積層体104と称する。また、第1バッファ層82の不純物濃度は、抵抗を小さくするために 5×10^{17} 個/cm²以上あれば良い。

【0022】また、拡散領域92の所定部分上には、第1主電極として p^+ 側電極110を具えている。また、平面パターンで見て、 p^+ 拡散領域92を取り囲む閉ループ状の素子分離用溝100を有している。この素子分離用溝100は、素子分離用溝のループの内側領域と外側領域とを電氣的に絶縁するために半導体性InP基板82に達している。

【0023】そして、素子分離用溝100に囲まれた領域であって、 p^+ 拡散領域92と離間した領域に、第1バッファ層84に達する深さの電極形成用溝102を具えている。この電極形成用溝102には、電極形成用溝102で第1バッファ層84とオーミック接触する第2主電極としてのn側電極108が設けられている。この実施例では、n側電極108と第1バッファ層84のオーミック接触面積を広くするために、電極形成用溝102を複数設けている。また、n側電極108上にはn側電極108と電氣的に接触するn側側線電極112が設けられている。

【0024】一方、積層体104上の、 p^+ 側およびn側電極110および108の設けていない部分および素子分離用溝100には、絶縁膜106が設けられている。この絶縁膜106上には、 p^+ 側電極110と電氣的に接触する p 側配線電極114が設けられている。この p 側配線電極114の素子分離用溝100上の部分116は、空間配線方式で形成されている。また、 p^+ 拡散領域92上の絶縁膜部分116aは反射膜を兼ねている。

【0025】このように、この発明の半導体受光素子で

は、n側電極108が電極形成用溝102において、キャリア濃度の高い第1バッファ層84とオーミック接触している。その結果、例えば、従来例の構造では、5〜10Ω程度であったn側電極108のコンタクト抵抗を1Ω以下にすることができる。その上、光吸収層88およびウインド層90といった高抵抗な層を介さずに電流経路を形成することができるので、素子のシリーズ抵抗を小さくすることができる。

【0026】第2実施例

第2実施例では、この発明の半導体受光素子の製造方法の一例について説明する。図2の（A）〜（C）は、第2実施例の説明に供する前半の断面工程図である。および図3の（A）〜（C）は、図2の（C）に続く、後半の断面工程図である。

【0027】この実施例では、プレーン型の半導体受光素子を製造するにあたり、まず、半導体性InP基板上82に、n型の不純物濃度が 1×10^{18} 個/cm²の高濃度のInP（以下、 n^+ -InP）の第1バッファ層84、 n -InPの第2バッファ層86、 n^+ -InGaAsの光吸収層88、 n^+ -InPのウインド層90を順次に積層する。各層は、例えば有機金属気相成長法、ハライド系気相成長法、液相成長法といった結晶成長法により積層すれば良い。次に、ウインド層90に亜鉛（Zn）またはカドミウム（Cd）といったp型の不純物の拡散領域92を設ける。以下、基板、第1および第2バッファ層、光吸収層および拡散領域を設けたウインド層を合わせて積層体104と称する。また、第1バッファ層の不純物濃度は、抵抗を小さくするために 5×10^{17} 個/cm²以上とする（図2の（A））。

【0028】次に、拡散領域92を形成したウインド層90上に、例えばSiO₂またはSiNを用いてエッチングマスク94を形成する。このエッチングマスク94は、素子分離用開口部96と電極用開口部98とを具えている。素子分離用開口部96は、拡散領域92を取り囲む素子分離用溝100を形成するために設け、その幅は3〜5μmとする。また、電極形成用開口部98は、素子分離用開口部96に囲まれた領域であって、拡散領域92と離間した領域に、電極形成用溝102を形成するために設ける。この電極形成用開口部98の幅は1〜2μmとし、素子分離用開口部96の幅3〜5μmよりも狭くする（図2の（B））。

【0029】次に、積層体104に対して、エッチングマスク94を介して1回のエッチングを行って、基板82に達する素子分離用溝100と、第1バッファ層84に達する電極形成用溝102とを同時に形成する。ここでは、ArおよびCl₂を用いたRIBE（Reactive Ion Beam Etching）によりエッチングを行う。この際、Cl₂の分圧を大きくすることによって、物理的エッチング効果より、化学的エッチング効果を強くし、異方向性を優れたエッチングを行う。

その結果、エッチングマスクの開口部の幅によってエッチングの深さを制御することができる。また、電極形成用溝102は、第1パッド層84とn側電極108との接触面積を広くするために複数形成すると良い(図2の(C))。

【0030】次に、エッチングマスク94を除去した後、素子分離用溝100および電極形成用溝102を形成したウインド層90上に、絶縁膜106を形成する。拡散領域92上の絶縁膜106は、半導体受光素子の受光部の反射防止膜106aを兼ねる(図3の(A))。

【0031】次に、絶縁膜106に対してエッチングを行い、電極形成用溝102を含む領域と、拡散層92上の領域少なくとも一部分の絶縁膜106部分を除去した後、電極形成用溝102で第1パッド層84とオーミック接触するn側電極108と、拡散層92とオーミック接触するp側電極110とをそれぞれ個別に形成する(図3の(B))。

【0032】次に、n側電極108およびp側電極110にそれぞれ電氣的に接続するn側配線電極112とp側配線電極114とを形成する。p側配線電極114を形成するに当り、例えば、レジスト(図示せず)で素子分離用溝100を一旦埋めながらp側配線電極114を形成してレジストを除去することにより、素子分離用溝100上のn側配線電極104部分を空間配線116とすることができる(図3の(C))。

【0033】第3実施例
第3実施例では、この発明の半導体の加工方法の一例について説明する。図4の(A)および(B)は、第3実施例の説明に供する断面工程図である。

【0034】この実施例では、まず、半導体の下地として、半絶縁性InPの基板60、 $n^+ - \text{InP}$ 層62、 $n - \text{InP}$ 層64、 $n - \text{InGaAs}$ 層66、 $n^+ - \text{InP}$ 層68を順次に積層した積層体70を用意する。

【0035】次に、この積層体70に、基板60に達する第1の深さの第1穴部72と、第1の深さよりも浅い、 $n^+ - \text{InP}$ 層62に達する第2の深さの第2穴部74とを形成するために、積層体70の第1穴部72形成予定領域上に第1開口部76を有し、かつ、第2穴部74形成予定領域上に第1開口部76の大きさよりも小さな第2開口部78を有するエッチングマスク80を形成する(図4の(A))。

【0036】次に、積層体70に対して、エッチングマスク80を介して1回のエッチングを行い、基板60に達する深さの第1穴部72と、この第1穴部72よりも浅い $n^+ - \text{InP}$ 層62に達する第2穴部74とを同時に形成する(図4の(B))。

【0037】上述した実施例では、この発明を特定の条件で形成した例について説明したが、この発明は多くの変更および変形を行うことができる。例えば、上述した第3実施例では、下地として半絶縁性InPの基板上に

$n^+ - \text{InP}$ 層等を設けた積層体を用いたが、これは第1および第2穴部の深さの比較を容易にするためであって、第3の発明では、下地の構成をこの実施例の積層体に限定する必要はない。

【0038】また、上述した第1および2実施例では、半導体素子の第1主電極をp側電極、第2主電極をn側電極としたが、これらの発明では、第1主電極をn側電極、第2主電極をp側電極として、パッド層、光吸収層、ウインド層の導電型をp型とし、n型の不純物を拡散させて拡散領域としても良い。

【0039】

【発明の効果】第1の発明の半導体受光素子の構造によれば、素子分離用溝の他に電極形成用溝を形成する。素子分離用溝は、素子の基板に達する必要があるのに対して、電極形成用溝は、基板上のパッド層にその先端が達している必要がある。これは、電極形成用溝とパッド層との接触面積を広くしてコンタクト抵抗を小さくするためである。その結果、素子容量が小さく、かつシリーズ抵抗の小さい周波数特性の優れた半導体受光素子を得ることができる。

【0040】ところで、第1の発明では、素子分離用溝と電極形成用溝とは互いにその深さが異なることになる。そこで、第2の発明の半導体受光素子の製造方法によれば、電極形成用溝を形成するための開口部の幅を、素子分離用溝を形成するための開口部よりも狭くすることにより、1回のエッチングで、素子分離用溝と、素子分離用溝よりも深さの浅い電極形成用溝を同時に容易に形成することができる。

【0041】その結果、素子容量が小さく、かつシリーズ抵抗の小さい周波数特性の優れた高性能で信頼性の高い半導体受光素子を容易に製造することができる。

【0042】また、第3発明の半導体の加工方法によれば、エッチングマスクの開口部の大ききによってエッチング速度が変化することを利用して、異なる深さの穴部を1回のエッチング工程で同時に形成することができる。

【図面の簡単な説明】

【図1】第1実施例の半導体受光素子の一部断面斜視図である。

【図2】(A)～(C)は、第2実施例の説明に供する前歩の断面工程図である。

【図3】(A)～(C)は、図2の(C)に続く、後歩の断面工程図である。

【図4】(A)および(B)は、第3実施例の説明に供する断面工程図である。

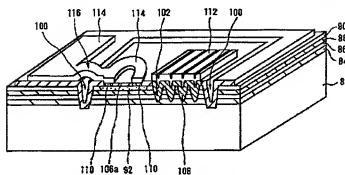
【図5】従来の半導体受光素子の構造の説明に供する断面斜視図である。

【符号の説明】

10：基板
14：第2パッド層
12：第1パッド層
16：光吸収層

- | | | | |
|---------------------------|---------------------------|--------------|-------------------------|
| 18: p型拡散領域 | 20: ウインド層 | 82: 基板 | 84: 第1パッファ層 |
| 22: p側電極 | 24: 絶縁膜 | 86: 第2パッファ層 | 88: 光吸収層 |
| 26: p側配線電極 | 28: 素子分離用溝 | 90: ウインド層 | 92: P ⁺ 拡散領域 |
| 30: 空間配線 | 32: n側電極 | 94: エッチングマスク | 96: 素子分離用開口部 |
| 34: n側配線電極 | 60: 基板 | 98: 電極形成用溝 | 100: 素子分離用溝 |
| 62: n ⁺ - InP層 | 64: n - InP層 | 102: 電極形成用溝 | 104: 積層体 |
| 66: n - InGaAs層 | 68: n ⁺ - InP層 | 106: 絶縁膜 | 106a: 反射防止膜 |
| 70: 積層体 | 72: 第1穴部 | 108: n側電極 | 110: p側電極 |
| 74: 第2穴部 | 76: 第1開口部 | 112: n側配線電極 | 114: p側配線電極 |
| 78: 第2開口部 | 80: エッチングマスク | 116: 空間配線 | |

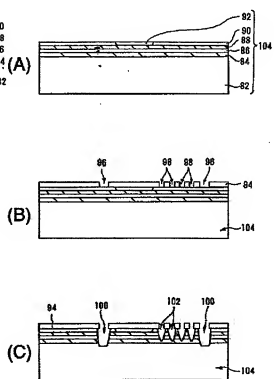
【図1】



- | | | |
|--------------------|-------------|-------------------------|
| 82: 基板 | 84: 第1パッファ層 | 86: 第2パッファ層 |
| 88: 光吸収層 | 90: ウインド層 | 92: P ⁺ 拡散領域 |
| 100: 素子分離用溝 | 102: 電極形成用溝 | |
| 106: 絶縁膜 | 106a: 反射防止膜 | |
| 110: p側電極 | 112: n側電極 | |
| 114: p側配線電極 | 116: n側配線電極 | |
| 118: p側配線電極の空間配線部分 | | |

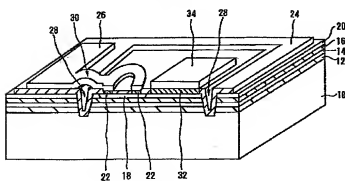
第1実施例

【図2】



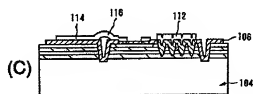
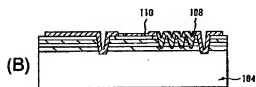
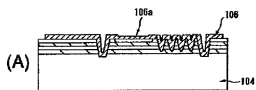
第2実施例(1)

【図5】



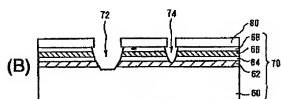
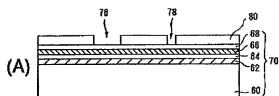
従来例

【図3】



第2実施例(2)

【図4】



第3実施例